WIFI 网络通信模块－SD4030API

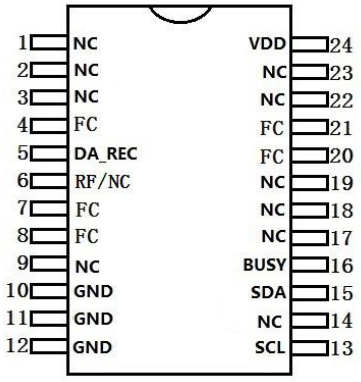
1.概述

SD4030 是一种具有 WIFI 网络数据收发电路、IIC 串行接口的通信模块,SD4030 中集成 TCP/IP 协议栈，是一个完整且自成体系的 WIFI 网络解决方案。SD4030 可用于移动设备和物联网设计中，可将设备连接到 WIFI 网络上，可实现互联网和局域网通信。

2.主要性能特点：

- WIFI 运行功耗：典型值 90mA。
- 休眠电流为 7uA。
- 内置电源管理（使用指令集对 WIFI 进行开关控制）
- 标准 IIC 总线进行网络数据传输。
- 802.11b/g/n
- 支持天线分集
- 模块传输速率约为 1700bit/s
- 内置 TCP/IP 协议栈.
- WiFi @ 2.4 GHz，支持 WPA/WPA2 安全模式
- 工作电压：有 3.3V 和 5.0V 两个版本,工作温度：－40℃～+85℃。
- 标准 IIC 总线接口方式,最高速度 400KHZ。
- 芯片管脚 ESD>2KV。
- CMOS 工艺

3.管脚设置



SD4030API 芯片管脚图

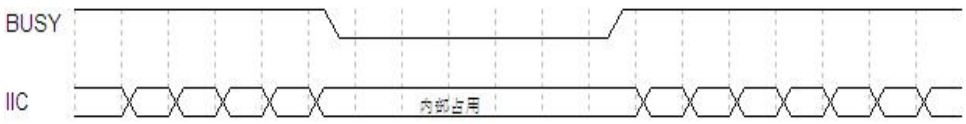
注：FC (Forbid Connect)引脚和芯片的内部电路相连，禁止与外部电路连接;NC 引脚没有和芯片的内部电路相连，脚位悬空。

SD4030API 管脚功能表

标号	功能	特征
RF/NC	WIFI 信号输入，通过 2.4G 天线接入。（仅用于外置天线模块，内置天线管脚为 NC）	
DA_REC	用于模块收到网络数据的信号指示 ERR_INFO=0　有网络数据 ERR_INFO=1　无网络数据	在连接网络之后可以通过读 DA_REC 来判断是否接收到网络数据
BUSY	用于与模块通信忙信号指示 BUSY=0：IIC 总线忙 BUSY=1：IIC 总线空闲，可以使用	在对 IIC 总线进行操作之前，必须先读 BUSY;
SCL	串行数据输入脚，由于在 SCL 上升/下降沿处理信号，要特别注意 SCL 信号的上升/下降升降时间，应严格遵守说明书。	CMOS 输入(内部 10K 电阻上拉)
SDA	串行数据输入/输出脚，此管脚通常用一电阻上拉至 VDD，并与其它漏极开路或集电器开路输出的器件通过线与方式连接.	N 沟道输出(内部 10K 电阻上拉), CMOS 输入。
VDD	正电源	芯片启动电流为 300mA 左右（建议使用 500mA 的电源供电，否则 WIFI 可能无法正常工作）
GND	负电源（GND）	

4. 用户接口

4.1　　SD4030API 与用户通过 4 线进行通信，BUSY，DA_REC，SDA,SCL。BUSY 线用于为了避免 WIFI 内部寄存器出现数据覆盖，两线式 IIC 串行接口方式接收各种命令并读写数据。在网络数据传输过程中， 获取到网络数据时 DA_REC 脚为低电平。在使用 IIC 总线前，先判断 BUSY 的状态，BUSY=0，为了避免 WIFI 内部寄存器出现数据覆盖，此时禁止操作 IIC；BUSY=1，可以对 IIC 总线进行操作。**在传输网络指令完成之后，需要延时 2us 再读取 BUSY**。



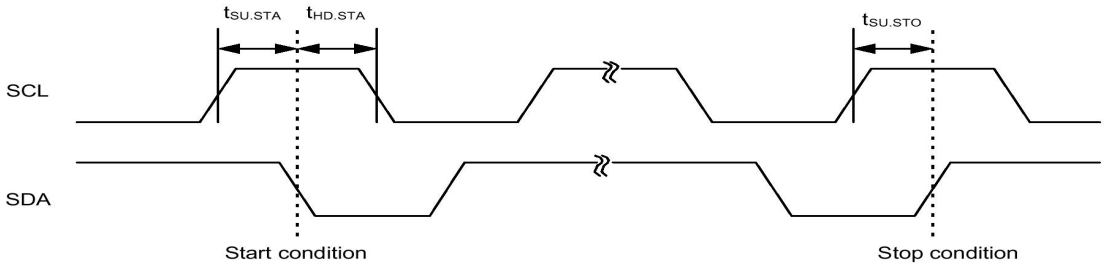
4.2　　SD4030API 通过两线式 IIC 串行接口方式接收各种命令并读写数据。两线式串行 IIC 接口方式描述如下：

（1） 开始条件

当 SCL 处于高电平时，SDA 由高电平变成低电平时构成一个开始条件，对 SD4030API 的所有操作均必须由开始条件开始。

（2） 停止条件

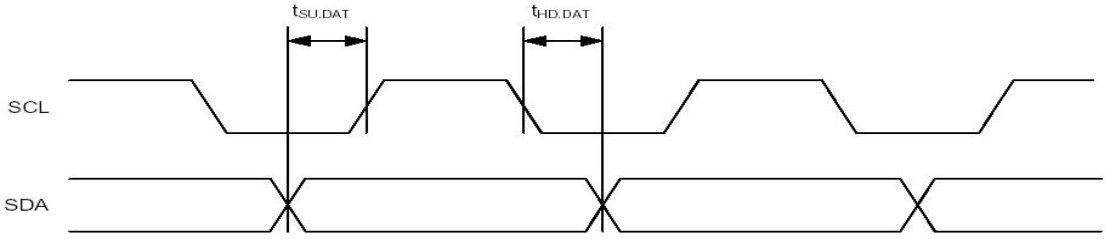
当 SCL 处于高电平时，SDA 由低电平变成高电平时构成一个停止条件，此时 SD4030API 的所有操作均停止，系统进入待机状态。



模块的串行接口

（3） 数据传输

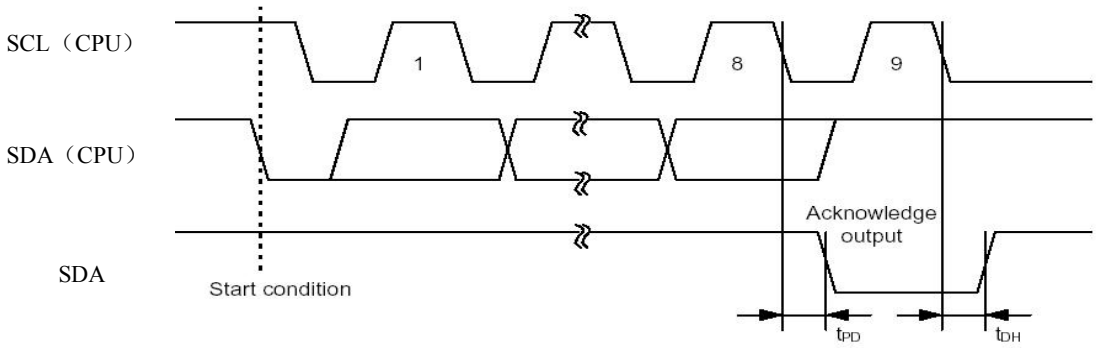
当 SCL 为低电平，且 SDA 线电平变化时，则数据由 CPU 传输给 SD4030API(高位在前、低位在后,下同)；当 SCL 为高电平，且 SDA 线电平不变时，则 CPU 读取 SD4030API 发送来的数据；当 SCL 为高电平，且 SDA 电平变化时，SD4030API 收到一个开始或停止条件。



模块的数据传输时序

（4） 确认

数据传输以 8 位序列进行。SD4030API 在第九个时钟周期时将 SDA 置位为低电平，即出一个确认信号（Acknowledge bit,以下简称“ACK”），表明数据已经被其收到。**在写数据到 SD4030，不需要发出 ACK 信号,读数据需要 CPU 发出 ACK 或 NOACK 信号。**



模块的确认信号

4.3 WIFI 网络指令传输格式

4.3.1 网络连接配置指令：

在使用 WIFI 连接前必须配置需要连接的 SSID（无线接入点名称）与 密码，用户在不更改 SSID 与密码的情况下只需配置一次网络连接指令信息。配置指令如下：

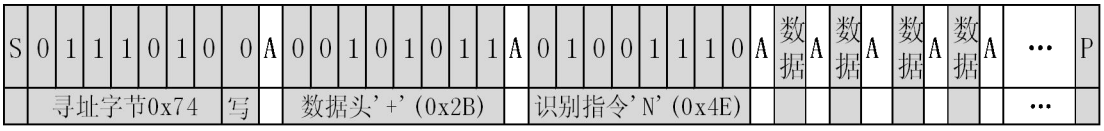
S	0	1	1	1	0	1	0	0	A	0	0	1	0	1	0	1	1	A	0	1	0	1	0	1	0	1	A	数据	A	数据	A	数据	A	数据	A	…	P
	寻址字节0x74							写		数据头’+’(0x2B)									识别指令’U’(0x55)																			…	

CPU 到芯片　芯片到 CPU　S 起始信号　P 结束信号　A 响应信号

识别码 ”U”后面传输 SSID 与密码，SSID 与密码需要用双引号引起来，SSID 与密码之间用逗号隔开，SSID 与密码的总长度不能超过 32 个字节，SSID 与密码中不能出现‘，’、 ‘\’、‘“’，‘；’以及中文字符。正确传输指令格式如（”ABC”,”12345678”），即无线 SSID 为：ABC，密码为：12345678。在传输过程中需要将数字和字符转换成 ASCII 码格式进行传输，引号也需要作为字符传输。在配置此指令请确保传输字符的准确性，多传或少传将导致无法连接到无线网络。

4.3.3 网络传输配置指令

在使用网络数据传输功能时，需要配置无线的传输协议类型（UDP/TCP）、数据传输服务器的 IP 地址、连接服务器的端口号。在不更改网络传输配置的情况下，网络传输配置只需要配置一次。网络传输指令与网络连接指令类似：

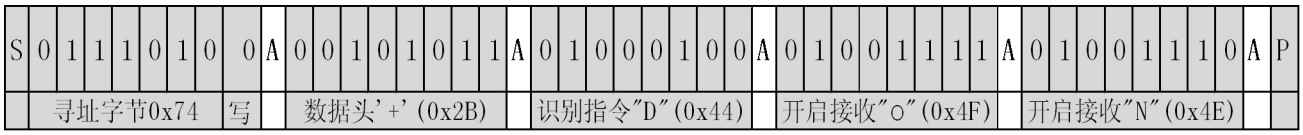


CPU 到芯片 芯片到 CPU S 起始信号 P 结束信号 A 响应信号

网络传输配置数据需要在识别指令之后传输，传输的格式是先传协议类型 （ UDP/TCP ） ，再传输 IP 地址，然后传输端口号。只有网络传输配置的网络协议类 型（UDP/TCP）与 IP 地址需要使用引号引起来，而端口号不需要使用引号。传输方式、 IP 地址、端口号需要使用逗号隔开。例如（“TCP”,“192.168.0.1”，8080），即网络协议类 型为：TCP 协议，IP 地址为：192.168.0.1，传输端口号为： 8080。

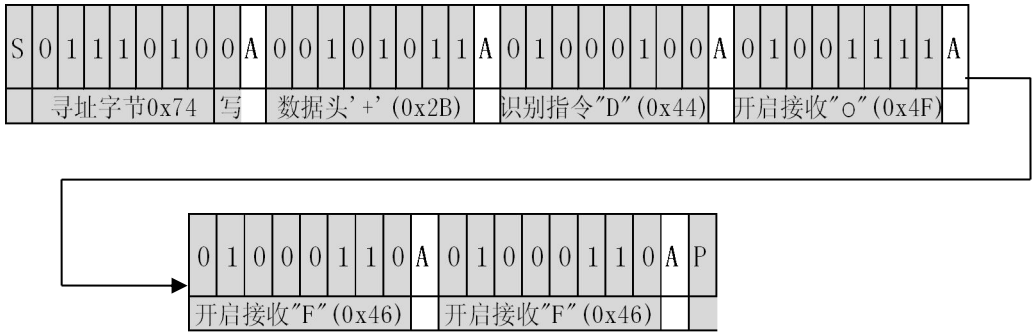
4.3.4 网络传输开启/关闭指令

在使用网络数据传输前必须进行网络传输配置（具体参照 6.4.1）和网络连接配置（具体参照 6.4.4），开启数据传输指令 I2C 时序:



CPU 到芯片 芯片到 CPU S 起始信号 P 结束信号 A 响应信号

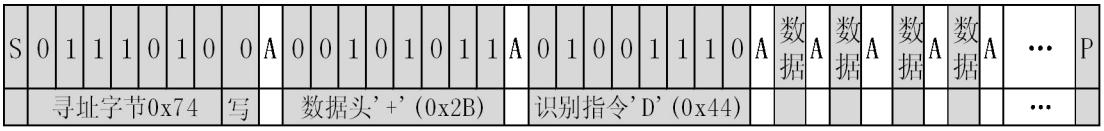
关闭数据传输指令 I2C 时序：



用户在开启数据传输指令之前需要配置网络连接配置指令（6.4.1）和网络传输配置指令（6.4.4），当网络传输完成后可以通过关闭数据传输指令来关闭无线网络，从而降低电源功耗。

4.3.5 网络数据传输指令

使用网络数据传输前必须先通过开启网络数据传输指令来启动网络连接，开启成功后才可配置网络数据传输。网络传输的 I2C 时序如下：



CPU 到芯片 芯片到 CPU S 起始信号 P 结束信号 A 响应信号

用户在识别指令 D 后传输需要传输的网络数据，传输的数据不超过 126 字节。当连接服务器出错将关闭无线传输，重新连接需要再次开启网络传输指令。

4.3.6 网络数据接收指令

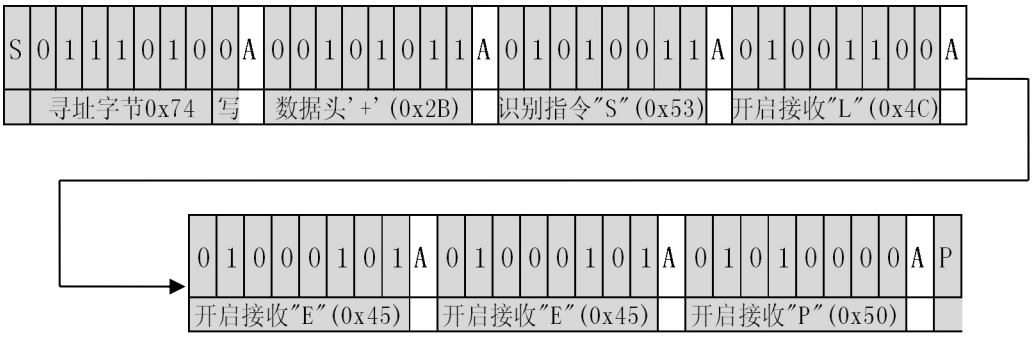
用户可通过读取 DA_REC 引脚来判断是否接收到了数据，如有数据只需要从设备地址 0x75 中读取出数据即可。I2C 时序如下：

CPU 到芯片 芯片到 CPU S 起始信号 P 结束信号 A 响应信号

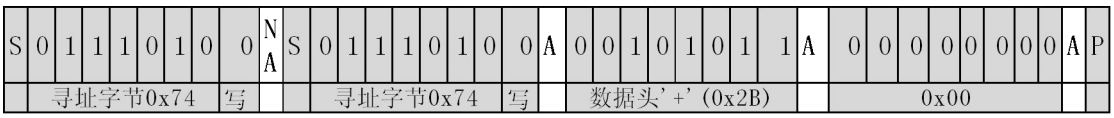
服务器传输的数据不能超过 22 字节，当用户读取完数据后，接收寄存器存储的数据将会被自动清除。若接收到数据第一位为'#'，第二位为'E',则第三位为出错码。可以通过不同的出错码来获取出错状态。

4.3.7 休眠与唤醒指令

在传输休眠指令后，SD4030 进入低功耗模式，在传输休眠指令会关闭网络数据传输，可在唤醒指令后重新开启网络数据传输指令。休眠指令的 I2C 时序如下：



唤醒指令的 I2C 时序如下：



5. 电源管理电路

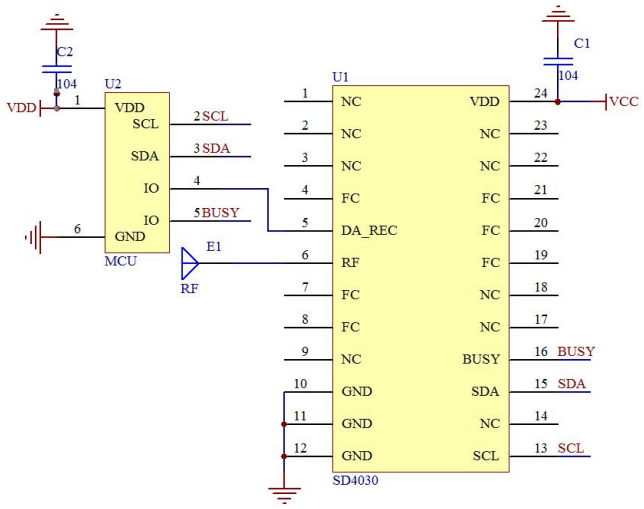
模块内部有稳压电路，可以对外加电源电压进行滤波、稳压，使模块工作始终工作在稳定状态。

6. 使用说明

1. 为了防止电路噪声问题,请在此芯片的旁边放置 0.1uF 旁路电容.
2. 为了防止干扰,在 PCB 制作时请保证芯片底部无大电流信号通过。

7. 应用电路与程序

(1)使用外置天线的应用电路:

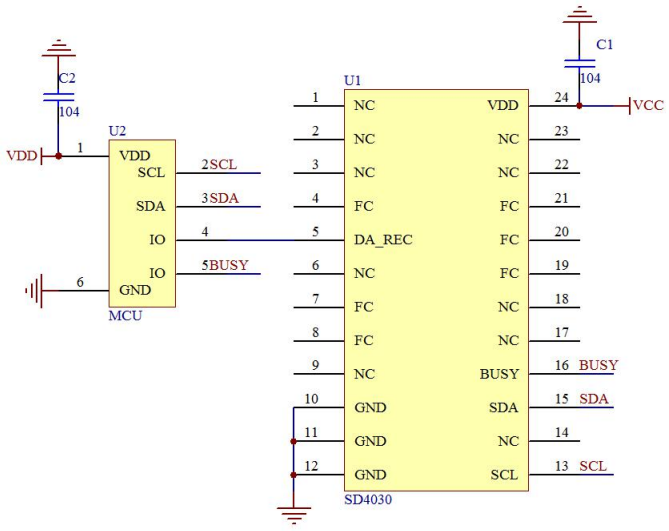


SD4030APEI(5V 版本)和 SD4030APLEI(3.3V 版本)的典型应用电路图

有源天线的要求：阻　抗： 50 欧; 驻波比： ≤3.0

频　率：2.4G-2.5G (2400M-2483.5M)

(2)使用内置天线的 SD4030APEI 或 SD4030ALPEI 的应用电路:



备注：

SD4030 的 SDA,SCL 内部已经上拉，不需要外接上拉电阻；程序下载网址：

http://www.whwave.com.cn/download/sd2431/SD2431.asp

8．极限参数

V_{DD} 、SCL、SDA引脚上的电压（相对于地）……－0.5V至7.0V

引线温度（焊接,10秒） ……. 260℃

注：强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效地工作。延长在极限参数条件上的工作时间会影响器件的可靠性。

9．模块部分交直流特性

A）直流特性(5V版本）

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	NOTES
V_{DD}	Main Power Supply		4.5	5.0	5.5	V	
I_{DD1}	Operating Current	V_{DD}=5.0V		90		mA	
I_{DD2}	Standby Current	V_{DD}=5.0V		7.0		μA	
I_{L1}	Input Leakage Current On SCL			100		nA	
I_{LO}	I/O Leakage Current On SDA			100		nA	

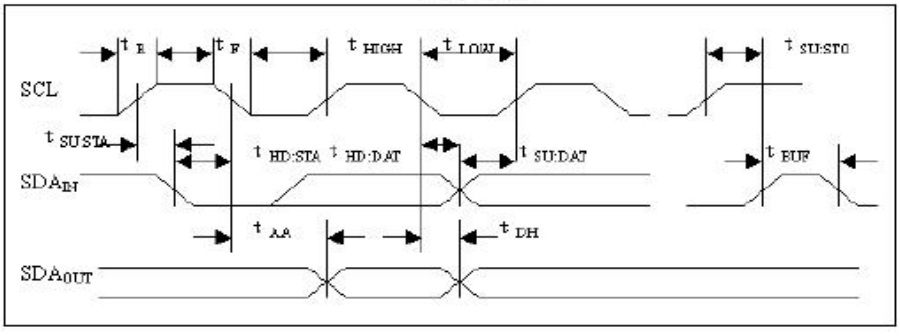
B）直流特性(3.3V版本）

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	NOTES
V_{DD}	Main Power Supply		2.7	3.3	3.6	V	
I_{DD1}	Operating Current	V_{DD}=3.3V		90		mA	
I_{DD2}	Standby Current	V_{DD}=3.3V		7.0		μA	
I_{L1}	Input Leakage Current On SCL			100		nA	
I_{LO}	I/O Leakage Current On SDA			100		nA	

C） 交流特性

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	NOTES
V_{IL}	SDA and SCL input buffer LOW voltage		-0.3		0.3×V_{DD}	V	
V_{IH}	SDA and SCL input buffer HIGH voltage		0.7×V_{DD}		V_{DD}+0.3	V	
Hyteresis	SDA and SCL input buffer hysteresis		0.05×V_{DD}			V	
V_{OL}	SDA output buffer LOW voltage sinking 3mA		0		0.4	V	
C_{pin}	SDA and SCL pin capacitance	T_A=25℃ f=1MHZ V_{DD}=5V V_{IN}=0V V_{OUT}=0V			10	pF	
f_{SCL}	SCL frequency				400	kHZ	
t_{IN}	Pulse width suppression time at SDA and SCL inputs				50	ns	
t_{AA}	SCL falling edge to SDA output data valid	SCL falling edge crossing 30%of V_{DD} until SDA exits the 30%to 70%of V_{DD} window			900	ns	
t_{BUF}	Time the bus must be free before the start of a new transmission	SDA crossing 70%of V_{DD} during a STOP condition, to SDA crossing 70%of V_{DD} during the following START condition	1300			ns	
t_{LOW}	Clock LOW time	Measured at the 30% of V_{DD} crossing	1300			ns	
t_{HIGH}	Clock HIGH time	Measured at the 70% of V_{DD} crossing	600			ns	
$t_{SU:STA}$	START condition setup time	SCL rising edge to SDA falling edge Both crossing 70% of V_{DD}	600			ns	
$t_{HD:STA}$	START condition hold time	From SDA falling edge crossing 30% of V_{DD} to SCL falling edge crossing 70% of V_{DD}	600			ns	
$t_{SU:DAT}$	Input data setup time	From SDA exiting the 30% to 70% of V_{DD} window ,to SCL rising edge crossing 30% of V_{DD}	100			ns	
$t_{HD:DAT}$	Input data hold time	From SCL falling edge crossing 30% of V_{DD} to SDA entering the 30% to 70%of V_{DD} window	0		900	ns	
$t_{SU:STO}$	STOP condition setup time	From SCL rising edge crossing 70% of V_{DD} ,to SDA rising edge crossing 30% of V_{DD}	600			ns	
$t_{HD:STO}$	Output condition hold time	From SDA rising edge to SCL falling edge .Both crossing 70% of V_{DD}	600			ns	
t_{DH}	Output data hold time	From SCL falling edge crossing 30% of V_{DD} ,until SDA enters the 30% to 70% of V_{DD} window.	0			ns	
t_R	SDA and SCL rise time	From 30% to 70% of V_{DD}	20+0.1×Cb		300	ns	
t_F	SDA and SCL fall time	From 70% to 30% of V_{DD}	20+0.1×Cb		300	ns	
Cb	Capacitive loading of SDA or SCL	Total on-chip and off-chip	10		400	PF	
R_{PU}	SDA and SCL bus pull-up resistor off-chip	Maximum is determined by t_R and t_F For Cb=400pF,max is about 2~2.5k Ω For Cb=40pF,max is about 15~20k Ω	1			k Ω	

总线时序图

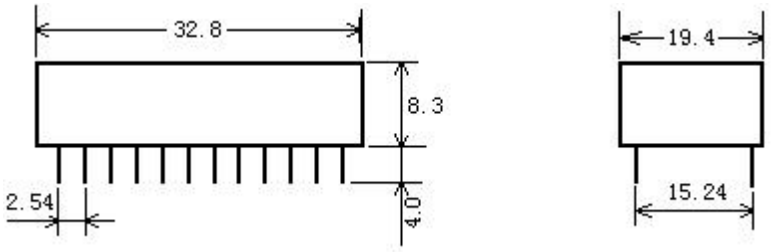


10. 芯片顶部字符说明

SD4030 型号说明

顶部型号字符	模块工作电压	WIFI 天线
SD4030API	5V	天线内置
SD4030APEI	5V	天线内置
SD4030ALPI	3.3V	天线外置
SD4030ALPEI	3.3V	天线外置

11. 封装尺寸（单位：毫米）



SD4030API 封装尺寸（管脚直径：0.5mm）

■ 编后语

感谢您阅读本资料。由于经验和水平的欠缺，本文难免有错误和遗漏。如果您在使用过程中发现错误或不恰当的地方，请拨打电话：0755-83246178 或请 E-mail：support@whwave.com.cn,我们将尽快予以答复。

谢谢您的支持及合作！

注：

本资料中的内容如有变化，恕不另行通知。

本资料提供的应用线路及程序仅供参考，本公司不承担由此而引起的任何损失。

由于本公司的产品不断更新和提高,希望您经常与本公司联系，以索取最新资料。

本公司不承担在任何使用过程中引起的侵犯第三方专利和其它权利的责任。

注：本文档受中国版权法保护,非授权禁止拷贝、复制、引用或传播

SD 及 WAVE 为我公司注册商标.

深圳市兴威帆电子技术有限公司

附录:

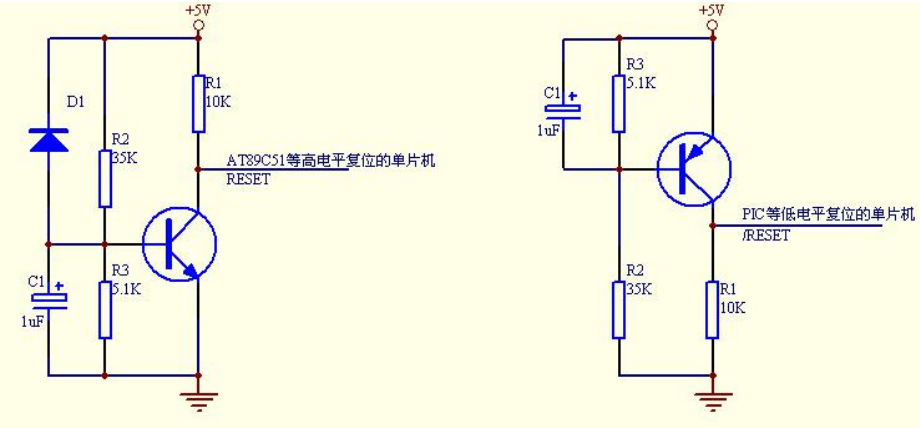
一.SD4030API 应用中硬件注意事项:

(1) 对 SD4030API 及 MCU 的电源~地之间加 104 电容去高频。

(2) 对 SD4030API 及 MCU 所在的板数字电源~地的输入端加 22uF 以上的电解及 104 电容去除电源扰动.

(3) 为了防止干扰, 在 PCB 制作时请保证芯片底部无大电流信号通过, 最好能铺地.

(4) 对 MCU 的复位端尽量采用可靠的复位方式,而摒弃阻容复位或直接连到 VDD 的方式.以下推荐廉价的三极管复位方式,当然用电压检测器或专用复位电路就更好啦.



图中 R2,R3 为分压电阻,其选值可用以下公式:

Vbe/Vrst=R2/(R2+R3)

其中:Vbe 为三极管 b 极和 e 极之间导通电压

Vrst 为单片机的复位电压

C1 为延时电容

D1 为延时电容的放电二极管,可选用.

(5) SD4030API 不用的脚接地(VBAT.VOUT.INT 和 TEST 脚除外).

(6) 电源电压有 3.3V 和 5V 两个版本 。

(7) 模块天线天线脚至天线座采用 50ohm 特征阻抗的微带线，微带线越短越好，不要走蛇形线，且微带线下的地尽量大，微带线下不要走线。

(8) 远离强干扰源，如 DSP、SDRAM、DC-DC、OLED、TFT 等。

二.SD4030API 应用中软件注意事项

(1) 软件上电开始做一个几百毫秒的延时，等 MCU 端口稳定后再去进行读写操作。

(2) 模块最多半秒才读一次：这样做主要目的是考虑到时间数据的改变需要 1S，频繁去读的话是在做无用功，不但会加大电源功耗，而且会引入干扰。

IIC 总线"START"里:在置 SDA 为高后要再判断 SDA 是否为高,即 SDA 是否被箝位为低,否则等

SDA 线置高。.

在写命令字时:要判断 ACK 是否正常,否则退出

(3) IIC 总线”STOP”里:在置 SDA 为高后要再判断 SDA 是否为高,即 SDA 是否被箝位为低,否则多置 SCL 脉冲让 SDA 线释放为高.在写命令字时:要判断 ACK 是否正常,否则退出，不要再进行下面的操作。

(4) 每次操作模块时，应先判断 Busy 的状态，否则可能会发生总线竞争，引起数据错乱。