

GPS 校时模块—SD4020API

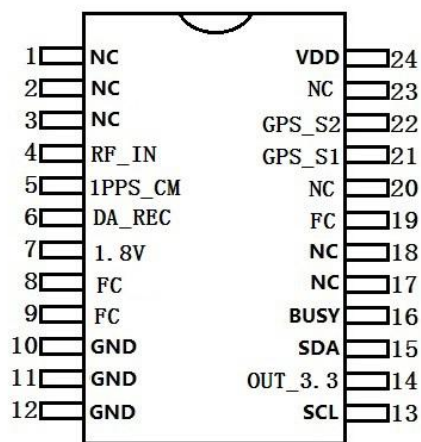
1. 概述

SD4020 是一种具有内置 GPS 数据获取电路、IIC 串行接口的 GPS 数据接收模块, SD4020 中集成 1PPS 秒脉冲信号输出, 在获取三维定位后可进行整秒指示, 是一个完整且自成体系的 GPS 解决方案。SD4020 具备两种通信接口, 可兼容大部分的设备。

2. 主要性能特点:

- 工作电压范围: 3.3V~5.5V。
- 休眠电流为 7 μ A。
- GPS 运行功耗: 典型值 80mA。
- 内置电源管理 (使用指令集对 GPS 进行开关控制)
- 标准 IIC 总线 GPS 数据输出, 最高速度 400KHZ。
- GPS 信号串口输出
- 符合 NMEA0183 协议。
- 1PPS 秒脉冲信号输出。
- 工作温度: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 。
- 芯片管脚 ESD>2KV。
- CMOS 工艺

3. 管脚设置



SD4020API 芯片管脚图

注: FC (Forbid Connect) 引脚和芯片的内部电路相连, 禁止与外部电路连接。

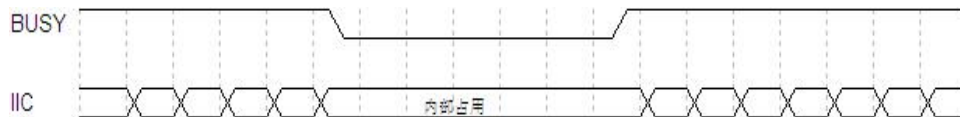
NC 引脚没有和芯片的内部电路相连, 脚位悬空。

SD4020API 管脚功能表

标号	功能	特征
RF_IN	GPS 信号输入，通过天线接入。	
1PPS	GPS 秒脉冲输出，整秒指示。	CMOS 电平输出
BUSY	用于与模块通信忙信号指示 BUSY=0: IIC 总线忙 BUSY=1: IIC 总线空闲	在开启 GPS 后，BUSY 忙表示 IIC 没有 GPS 数据输出，BUSY 空闲表示 IIC 有 GPS 数据输出。
GPS_S1	GPS 信号输出，符合 NMEA0183 协议。GPS 信号串口输出，波特率：9600；格式：一个起始位，8 个数据位，1 个停止位，无奇偶校验	CMOS 输出
GPS_S2	使用时与 GPS_S1 连接	CMOS 输入
SCL	串行时钟输入脚，由于在 SCL 上升/下降沿处理信号，要特别注意 SCL 信号的上升/下降时间，应严格遵守说明书。	CMOS 输入(内部10K 电阻上拉)
SDA	串行数据输入/输出脚，此管脚通常用一电阻上拉至 V _{DD} ，并与其它漏极开路或集电极开路输出的器件通过线与方式连接。	N 沟道输出(内部10K 电阻上拉),CMOS 输入。
VOUT_3.3	3.3V 稳压输出脚，当 VDD $\geq$ 3.3V 时有效	可供电流 $\leq$ 30mA，精度 3.3V $\pm$ 2%。
VDD	正电源	
GND	负电源 (GND)	

4. 用户接口

4.1 SD4020API 与用户通过 4 线进行通信，BUSY，DA_REC，SDA，SCL。BUSY 线用于为了避免 GPS 内部寄存器出现数据覆盖，两线式 IIC 串行接口方式接收各种命令并读写数据。BUSY 用来指示是否获取到了 GPS 数据，只有在获取到 GPS 数据后 BUSY 才释放。在 BUSY 忙的时候也可以操作 IIC 总线。**在完成传输 IIC 指令之后，需要延时 2us 以上再读取 BUSY。**



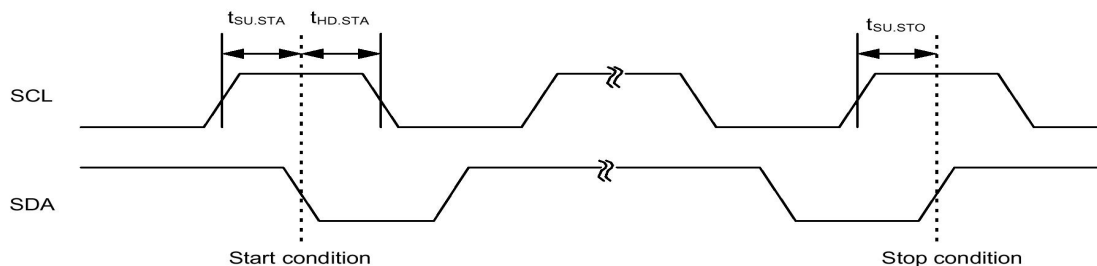
4.2 SD4020API 通过两线式 IIC 串行接口方式接收各种命令并读写数据。两线式串行 IIC 接口方式描述如下：

(1) 开始条件

当 SCL 处于高电平时，SDA 由高电平变成低电平时构成一个开始条件，对 SD4020API 的所有操作均必须由开始条件开始。

(2) 停止条件

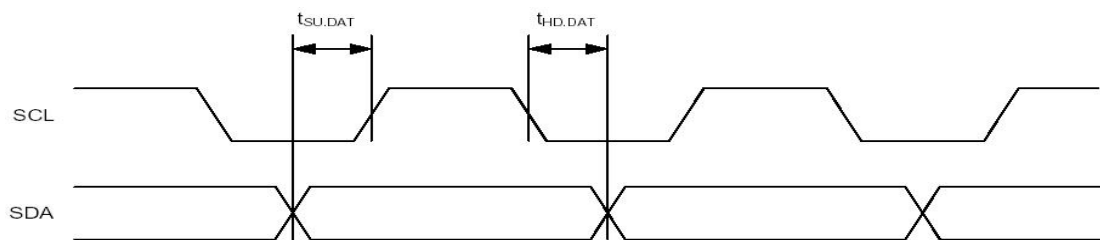
当 SCL 处于高电平时，SDA 由低电平变成高电平时构成一个停止条件，此时 SD4020API 的所有操作均停止，系统进入待机状态。



模块的串行接口

(3) 数据传输

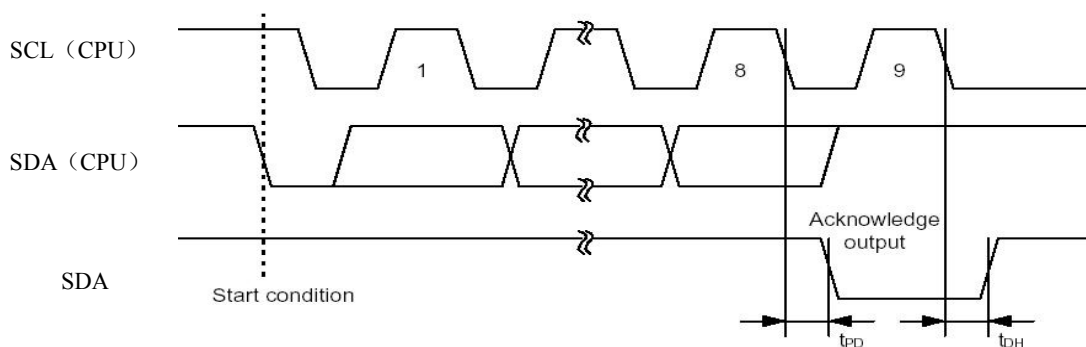
当 SCL 为低电平, 且 SDA 线电平变化时, 则数据由 CPU 传输给 SD4020API(高位在前, 低位在后, 下同); 当 SCL 为高电平, 且 SDA 线电平不变时, 则 CPU 读取 SD4020API 发送来的数据; 当 SCL 为高电平, 且 SDA 电平变化时, SD4020API 收到一个开始或停止条件。



模块的数据传输时序

(4) 确认

数据传输以 8 位序列进行。SD4020API 在第九个时钟周期时将 SDA 置位为低电平, 即出一个确认信号 (Acknowledge bit, 以下简称 “ACK”), 表明数据已经被其收到。在写数据到 SD4020, 不需要发出 ACK 信号, 读数据需要 CPU 发出 ACK 或 NOACK 信号。



模块的确认信号

4.3 GPS 寄存器说明

4.3.1 寄存器列表

地址	寄存器段	寄存器名称	BIT								数值范围 (十进制)	缺省值 (二进制)
			D7	D6	D5	D4	D3	D2	D1	D0		
01H	GPS 控制	GPS_1	TZ3	TZ2	TZ1	TZ0	TZ_FLG	S3	S2	S1	0~255	XXXX-XXXX
02H	寄存器	GPS_2	-	-	-	-	-	-	-	SL1	0~1	XXXX-XXXX

当 S1=1 时，表示开启 GPS，接收 GPS 数据。当 S1=0 是表示关闭 GPS 数据接收电路。S1、S2 位设置如下表：

序号	S3	S2	功 能 描 述
0	0	1	输出时间数据
1	1	0	输出地理坐标数据
2	0	0	输出时间与地理位置数据
3	1	1	输出时间与地理位置数据

TZ0-TZ3 位：时区数据位。TZ_FLG：东西时区标志位。TZ_FLG=0，东时区；TZ_FLG=1，西时区；如 80H 表示东八区，A8H 表示西十区，合法时区为东十二区-西十二区，非法时区统一纠正为东八区，必须在启动 GPS 校时前设置好此寄存器位。

寄存器 02H 的 SL1 位为模块电路的休眠位，当 SL1=1 时，进入休眠状态。当 SL1=0 时，模块进入工作状态。

4.3.1 寄存器配置指令：

S	0	1	1	1	0	1	0	0	A	数据	A	数据	A	P
寻址字节0x74									写	寄存器地址				

CPU 到芯片 芯片到 CPU S 起始信号 P 结束信号 A 响应信号

4.3.6 GPS 数据接收指令

当开启 GPS 后，读取 BUSY 不忙的情况下，只需要从设备地址 0x75 中读取出数据即可。I2C 时序如下：

S	0	1	1	1	0	1	0	1	A	数据	A	数据	A	...	A	P
寻址字节0x74									读	...						

CPU 到芯片 芯片到 CPU S 起始信号 P 结束信号 A 响应信号

可以通过设置 01H 的地址来设置 I2C 输出的内容，在获取数据时，数据以 0x00 作为数据的结束标志。

5. 电源管理电路

模块内部有稳压电路，可以对外加电源电压进行滤波、稳压，使模块工作始终工作在稳定状态。

6. 使用说明

- 1. 为了防止电路噪声问题, 请在此芯片的旁边放置 0.1uF 旁路电容.
- 2. 为了防止干扰, 在 PCB 制作时请保证芯片底部无大电流信号通过.

7. 型号、应用电路与程序

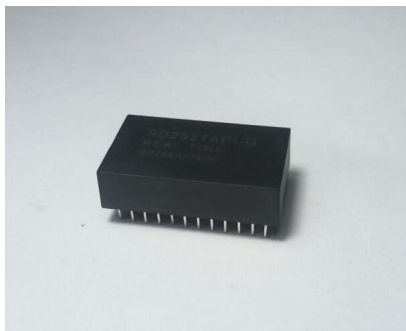
7.1 型号选择

SD4020API 有两种型号分别为 SD4020API-G、SD4020APIW-G。唯一的区别是 RF-IN 脚的引线方式不一样（内部功能和使用方法完全一样）。

7.1.1 SD4020API-G

SD4020API-G 的 RF-IN 脚是插针，用户需要进行天线的阻抗匹配。裸露的插针信号的传导会有一定的（实际测试相对于 SD4020APIW-G 有 6dB 的信号衰减）衰减，建议有天线设计功底的工程师使用，设计好的电路最好做传导测试，检查阻抗匹配是否有问题。

SD4020API-G 实物图



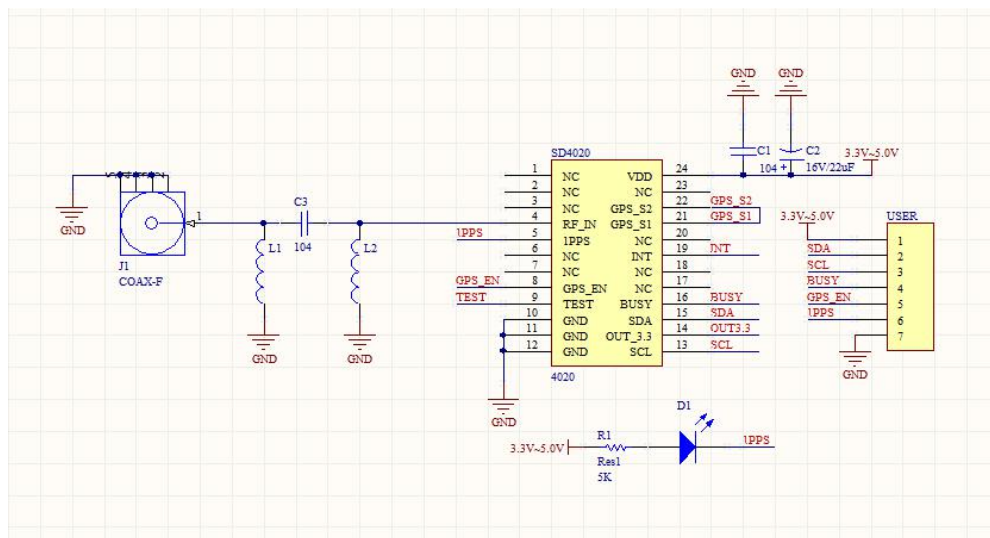
7.1.2 SD4020APIW-G

SD4020APIW-G 的 RF-IN 脚是屏蔽线，用户不需要进行天线的阻抗匹配。直接通过屏蔽线与天线座连接。不用考虑阻抗问题。在设计 PCB 的时候要注意屏蔽线的走线方式。（屏蔽线直径 0.8mm（32mil））。

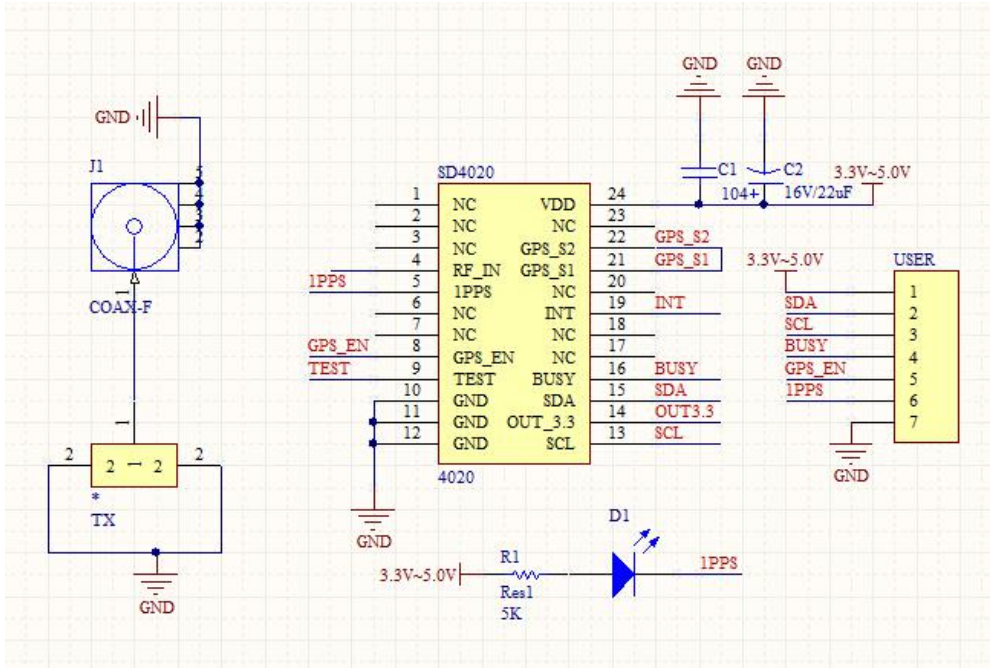
SD2521APIW-G 实物图



7.2 应用电路



SD4020API-G 的典型应用电路图



SD4020APIW-G 的典型应用电路图

SDA, SCL 内部已经上拉，不需要外接上拉电阻；

有源天线的要求：阻 抗： 50 欧；增 益： 22~28dB；驻波比： ≤2.0

频率： 1575.42±5MHz；电压： 3.3V；噪声系数 ≤2.0dB

8. 极限参数

V_{DD}、SCL、SDA 引脚上的电压（相对于地）.....-0.5V 至 7.0V

引线温度（焊接, 10 秒）.....260℃

注：强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效地工作。延长在极限参数条件上的工作时间会影响器件的可靠性。

9. 模块部分交直流特性

a) 直流特性

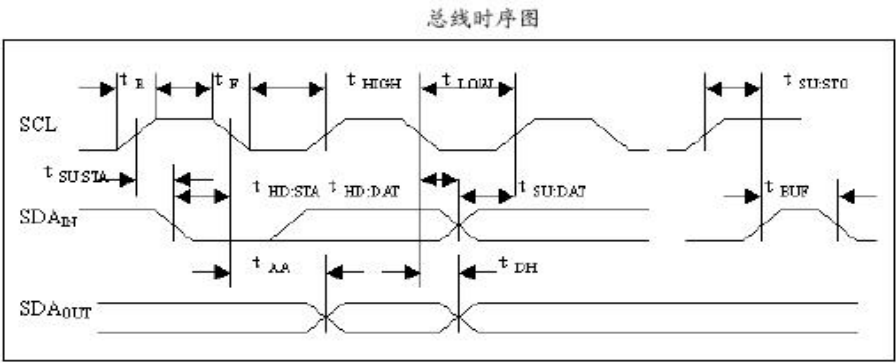
SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	NOTES
V _{DD}	Main Power Supply		3.3	5.0	5.5	V	
I _{DD1}	Supply Current (except GPS current and charge current)	V _{DD} =5.0V		7.0	10.0	μA	
I _{DD2}	Supply Current win IIC Active	V _{DD} =5.0V		50.0	120	μA	
I _{L1}	Input Leakage Current On SCL			100		nA	
I _{LO}	I/O Leakage Current On SDA			100		nA	
V _{BATHYS}	V _{BAT} Hysteresis		50	100	200	mV	
INT V _{OL}	Output Low Voltage	V _{DD} =5V I _{OL} =3mA			0.4	V	
		V _{DD} =5V I _{OL} =3mA			0.4	V	

b) 掉电时序 温度=-40℃至+85℃

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	NOTES
$V_{DD\ br}$	V_{DD} negative Slewrate				10	V/ms	

c) 交流特性

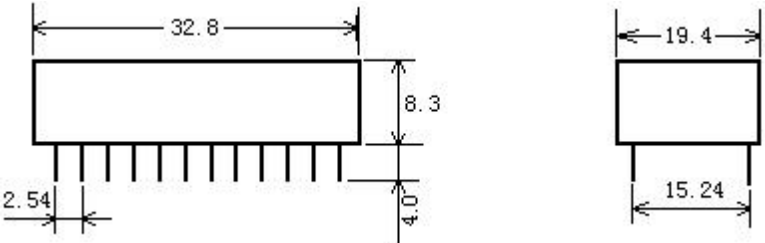
SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	NOTES
V_{IL}	SDA and SCL input buffer LOW voltage		-0.3		$0.3 \times V_{DD}$	V	
V_{IH}	SDA and SCL input buffer HIGH voltage		$0.7 \times V_{DD}$		$V_{DD} + 0.3$	V	
Hysteresis	SDA and SCL input buffer hysteresis		$0.05 \times V_{DD}$			V	
V_{OL}	SDA output buffer LOW voltage sinking 3mA		0		0.4	V	
C_{pin}	SDA and SCL pin capacitance	$T_A = 25^\circ C$ $f = 1MHz$ $V_{DD} = 5V$ $V_{IN} = 0V$ $V_{OUT} = 0V$			10	pF	
f_{SCL}	SCL frequency				400	KHZ	
t_{IN}	Pulse width suppression time at SDA and SCL inputs				50	ns	
t_{AA}	SCL falling edge to SDA output data valid	SCL falling edge crossing 30% of V_{DD} until SDA exits the 30% to 70% of V_{DD} window			900	ns	
t_{BUF}	Time the bus must be free before the start of a new transmission	SDA crossing 70% of V_{DD} during a STOP condition, to SDA crossing 70% of V_{DD} during the following START condition	1300			ns	
t_{LOW}	Clock LOW time	Measured at the 30% of V_{DD} crossing	1300			ns	
t_{HIGH}	Clock HIGH time	Measured at the 70% of V_{DD} crossing	600			ns	
$t_{SU:STA}$	START condition setup time	SCL rising edge to SDA falling edge Both crossing 70% of V_{DD}	600			ns	
$t_{HD:STA}$	START condition hold time	From SDA falling edge crossing 30% of V_{DD} to SCL falling edge crossing 70% of V_{DD}	600			ns	
$t_{SU:DAT}$	Input data setup time	From SDA exiting the 30% to 70% of V_{DD} window ,to SCL rising edge crossing 30% of V_{DD}	100			ns	
$t_{HD:DAT}$	Input data hold time	From SCL falling edge crossing 30% of V_{DD} to SDA entering the 30% to 70% of V_{DD} window	0		900	ns	
$t_{SU:STO}$	STOP condition setup time	From SCL rising edge crossing 70% of V_{DD} ,to SDA rising edge crossing 30% of V_{DD}	600			ns	
$t_{HD:STO}$	Output condition hold time	From SDA rising edge to SCL falling edge .Both crossing 70% of V_{DD}	600			ns	
t_{DH}	Output data hold time	From SCL falling edge crossing 30% of V_{DD} ,until SDA enters the 30% to 70% of V_{DD} window.	0			ns	
t_R	SDA and SCL rise time	From 30% to 70% of V_{DD}	$20 + 0.1 \times C_b$		300	ns	
t_F	SDA and SCL fall time	From 70% to 30% of V_{DD}	$20 + 0.1 \times C_b$		300	ns	
C_b	Capacitive loading of SDA or SCL	Total on-chip and off-chip	10		400	PF	
R_{PU}	SDA and SCL bus pull-up resistor off-chip	Maximum is determined by t_R and t_F For $C_b = 400pF$, max is about 2~2.5k Ω For $C_b = 40pF$, max is about 15~20k Ω	1			k Ω	



10. 芯片顶部字符说明



11. 封装尺寸（单位：毫米）



SD4020API 封装尺寸（管脚直径：0.5mm）

■ 编后语

感谢您阅读本资料。由于经验和水平的欠缺, 本文难免有错误和遗漏。如果您在使用过程中发现错误或不恰当的地方, 请拨打电话: 0755-83246178 或请 E-mail: support@whwave.com.cn, 我们将尽快予以答复。

感谢您的支持及合作!

注:

本资料中的内容如有变化, 恕不另行通知。

本资料提供的应用线路及程序仅供参考, 本公司不承担由此而引起的任何损失。

由于本公司的产品不断更新和提高, 希望您经常与本公司联系, 以索取最新资料。

本公司不承担在任何使用过程中引起的侵犯第三方专利和其它权利的责任。

注: 本文档受中国版权法保护, 非授权禁止拷贝、复制、引用或传播

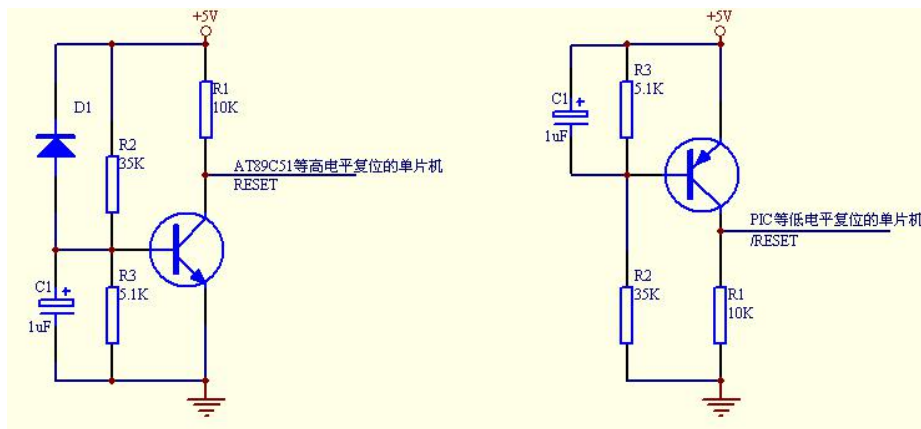
SD 及 WAVE 为我公司注册商标。

深圳市兴威帆电子科技有限公司

附录:

一. SD4020API 应用中硬件注意事项:

- (1) 对 SD4020API 及 MCU 的电源~地之间加 104 电容去高频。
- (2) 对 SD4020API 及 MCU 所在的板数字电源~地的输入端加 22uF 以上的电解及 104 电容去除电源扰动。
- (3) 为了防止干扰, 在 PCB 制作时请保证芯片底部无大电流信号通过, 最好能铺地。
- (4) 对 MCU 的复位端尽量采用可靠的复位方式, 而摒弃阻容复位或直接连到 VDD 的方式, 以下推荐廉价的三极管复位方式, 当然用电压检测器或专用复位电路就更好啦。



图中 R2,R3 为分压电阻,其选值可用以下公式:

$$V_{be}/V_{rst}=R2/(R2+R3)$$

其中:Vbe 为三极管 b 极和 e 极之间导通电压

Vrst 为单片机的复位电压

C1 为延时电容

D1 为延时电容的放电二极管,可选用.

- (5) SD4020API 不用的脚接地(VOUT 脚除外).
- (6) 模块天线脚至天线座采用 50ohm 特征阻抗的微带线, 微带线越短越好, 不要走蛇形线, 且微带线下的地尽量大, 微带线不要走线。
- (7) 远离强干扰源, 如 DSP、SDRAM、DC-DC、OLED、TFT 等。

二. SD4020API 应用中软件注意事项

- (1) 软件上电开始做一个几百毫秒的延时, 等 MCU 端口稳定后再去进行读写操作。
 - (2) 模块最多半秒才读一次: 这样做主要目的是考虑到时间数据的改变需要 1S, 频繁去读的话是在做无用功, 不但会加大电源功耗, 而且会引入干扰。
- IIC 总线"START"里:在置 SDA 为高后要再判断 SDA 是否为高,即 SDA 是否被箝位为低,否则等 SDA 线置高。.
- 在写命令字时:要判断 ACK 是否正常,否则退出

- (3) IIC 总线”STOP”里:在置 SDA 为高后要再判断 SDA 是否为高,即 SDA 是否被箝位为低,否则多置 SCL 脉冲让 SDA 线释放为高.在写命令字时:要判断 ACK 是否正常,否则退出,不要再进行下面的操作。
- (4) 每次操作模块时,应先判断 busy 的状态,否则可能会发生总线竞争,引起数据错乱。